

6

FLIP-FLOP

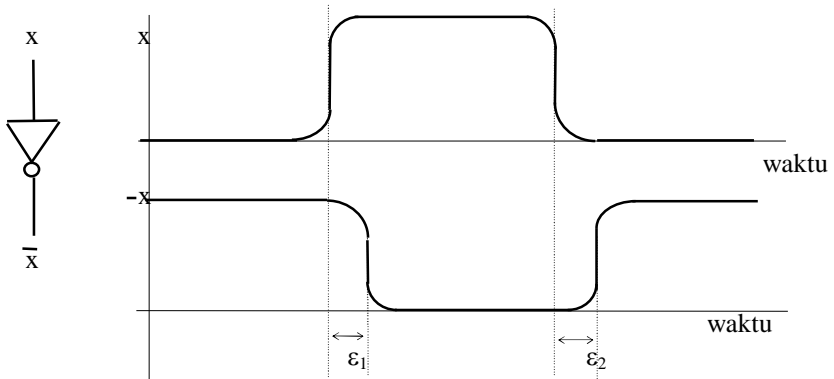
Semua rangkaian logika yang telah diuraikan di bagian depan adalah rangkaian logika kombinasi yang keadaan keluarannya setiap saat hanya ditentukan oleh kombinasi masukan yang diberikan pada saat itu. Setiap sistem digital akan mempunyai bagian yang merupakan rangkaian kombinasi. Disamping itu, dalam sistem digital juga, pada umumnya, dipergunakan bagian rangkaian yang dapat mengingat keadaan keluarannya sebelumnya dan keluarannya untuk suatu kombinasi masukan tertentu juga tergantung atas keadaan keluarannya sebelum masukan itu dikenakan. Bagian rangkaian demikian disebut sebagai rangkaian berurut (sequential). Rangkaian logika berurut juga pada umumnya memakai rangkaian logika kombinasi, setidaknya-tidaknya pada rangkaian masukannya.

Rangkaian logika berurut dibedakan atas dua jenis, yaitu serempak (synchronous) dan tak-serempak (asynchronous). Dalam rangkaian serempak, perubahan keadaan keluaran hanya terjadi pada saat-saat yang ditentukan saja. Walaupun masukan berubah diantara selang waktu yang ditentukan itu, keluaran daripada rangkaian itu tidak akan berubah. Berbeda dari rangkaian yang serempak, keluaran dari pada rangkaian tak-serempak berubah menurut perubahan masukannya dan keluaran itu dapat berubah setiap saat masukan berubah. Umumnya rangkaian tak-serempak ini memakai unsur tundaan waktu pada lintasan umpan baliknya. Tundaan waktu ini biasanya diperoleh dari gerbang-gerbang pada lintasan itu. Adanya tundaan waktu itu kadang-kadang membuat rangkaiannya tidak stabil dan rangkaian mungkin mengalami kondisi berpacu (race condition) dimana satu perubahan masukan menyebabkan lebih dari satu perubahan keluaran. Karena kesulitan ini, dan juga karena pemakaiannya tidaklah seluas pemakaian rangkaian serempak, maka rangkaian tak-serempak tidak dibahas dalam buku ini dan di-cadangkan sebagai materi untuk pembahasan rangkaian logika lanjutan.

Unsur mengingat (memory) yang paling umum dipakai pada rangkaian berurut serempak adalah flip-flop. Setiap flip-flop dapat menyimpan satu bit (binary digit) informasi, baik dalam bentuk sebenarnya maupun bentuk komplemennya. Jadi, flip-flop, pada umumnya mempunyai dua keluaran, yang satu merupakan komplemen dari yang lainnya. Tergantung atas cara bagaimana informasi disimpan ke dalamnya, flip-flop dibedakan atas beberapa jenis, RS, JK, D dan T. Dalam bab ini akan diuraikan jenis-jenis ini satu demi satu.

6.1 Tundaan waktu

Setiap sinyal yang dilalukan pada suatu komponen elektronika membutuhkan waktu untuk bergerak dari terminal masukan ke terminal keluaran. Dan karena gerbang-gerbang logika juga pada umumnya dibuat dari komponen-komponen elektronika, maka sinyal masukan pada setiap gerbang juga membutuhkan waktu untuk mencapai terminal keluaran, munculnya efek masukan itu di keluaran. Waktu yang dibutuhkan tersebut dinamakan tundaan waktu (time delay) atau tundaan perambatan (propagation delay). Semakin banyak gerbang yang harus dilalui oleh sinyal untuk bergerak dari masukan ke keluaran suatu rangkaian logika, semakin lama pula tundaan waktu yang dialaminya. Sebagai contoh, perhatikanlah perambatan sinyal yang melalui suatu inverter (gerbang NOT). Kalau sinyal masukan yang semula berkeadaan 0 diubah menjadi 1, maka sinyal keluaran berubah dari 1 ke 0. Tetapi perubahan itu tidaklah seketika, melainkan beberapa nano-detik (ns) kemudian (untuk gerbang-gerbang rangkaian terpadu, IC). Pada saat masukan naik dari 0 ke 1, keluaran turun dari 1 ke 0 setelah ϵ_1 detik kemudian dan pada saat masukan turun dari 1 ke 0, keluaran naik dari 0 ke 1 setelah ϵ_2 detik kemudian. Pada umumnya $\epsilon_1 \neq \epsilon_2$, walaupun dalam analisis kedua tundaan ini sering dianggap sama. Secara diagram, hubungan masukan-keluaran ini digambarkan dalam diagram waktu Gambar 6.1.

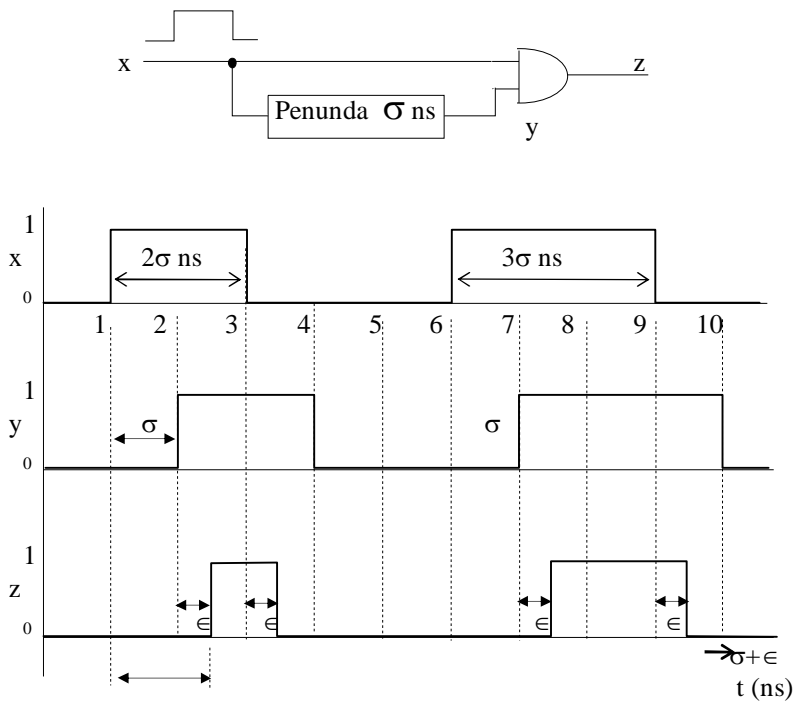


Gambar 6.1. Tundaan waktu pada inverter

Perlu diperhatikan bahwa perubahan sinyalnya sebenarnya tidaklah curam

tegak, tetapi mempunyai kemiringan tertentu. Tetapi dalam kebanyakan analisis, untuk memudahkan penggambaran, sinyal-sinyal dalam sistem digital dianggap curam sempurna (tegak lurus terhadap sumbu waktu). Ada kalanya, unsur tundaan waktu sengaja ditambahkan kepada suatu rangkaian logika.

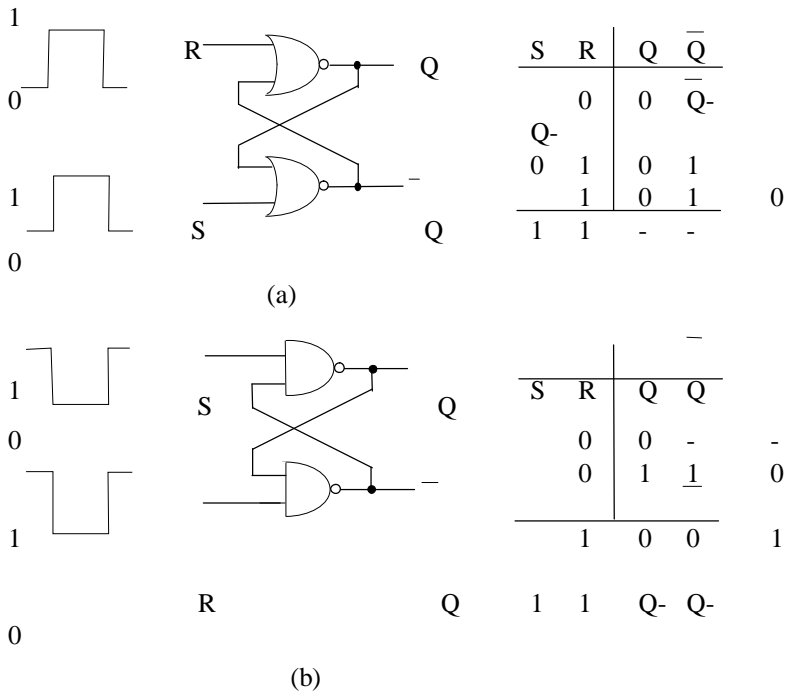
Untuk memperjelas pengertian tundaan waktu ini, perhatikan suatu gerbang AND dua masukan yang pada salah satu masukannya diberikan suatu tundaan waktu seperti yang ditunjukkan pada Gambar 6.2. Andaikan tundaan waktu unsur penunda adalah σ nanodetik (ns) dan tundaan waktu gerbang AND adalah ϵ ns. Supaya lebih sederhana, tundaan waktu naik dianggap sama dengan tundaan waktu turun. Dalam Gambar 6.2 ditunjukkan hubungan antara masukan dan keluaran sistem ini. Perhatikan bahwa keluaran gerbang AND berubah menjadi 1 setelah kedua masukannya berkeadaan 1 dan berubah ke 0 setelah salah satu masukannya menjadi 0. Jadi, keluaran gerbang AND tertunda naik selama $(\sigma + \epsilon)$ ns dan tertunda turun selama ϵ ns. Pada umumnya, tundaan waktu gerbang-gerbang diabaikan (dianggap nol).



Gambar 6.2. Diagram waktu AND dengan tundaan di masukan

6.2 Flip-flop RS

Flip-flop RS atau SR (Set-Reset) merupakan dasar dari flip-flop jenis lain. Flip-flop ini mempunyai 2 masukan: satu disebut S (SET) yang dipakai untuk menyetel (membuat keluaran flip-flop berkeadaan 1) dan yang lain disebut R (RESET) yang dipakai untuk me-reset (membuat keluaran berkeadaan 0). Flip-flop RS dapat dibentuk dari dua gerbang NOR atau dua gerbang NAND seperti yang ditunjukkan pada Gambar 6.3(a) dan (b).



Gambar 6.3. Rangkaian dasar flip-flop RS
(a) memakai gerbang NOR

(b) memakai gerbang NAND

Perhatikan bahwa keluaran dari suatu gerbang diumpan-balik ke masukan gerbang lainnya. Keluaran masing-masing gerbang membentuk keluaran-keluaran dari pada susunan flip-flop RS. Seperti yang ditunjukkan oleh tabel kebenaran pada gambar, untuk flip-flop yang menggunakan gerbang NOR, masukan 1 pada S membuat flip-flop diset ($Q=1$) dan masukan 1 pada R membuat flip-flop direset ($Q=0$). Untuk flip-flop yang disusun dari gerbang NAND, $S=0$ menyetel (set) flip-flop dan $R=0$ me-reset flip-flop.

Untuk flip-flop dengan NOR, masukan $R=S=0$ tidak mengubah keadaan keluaran, artinya keluaran Q dan \bar{Q} tetap, ditunjukkan sebagai Q^- dan Q^- pada tabel kebenaran dalam Gambar 6.3. Untuk kombinasi masukan $R=S=1$, yang ditunjukkan dengan "-" pada pada kolom keluaran yang bersangkutan, keadaan keluaran tersebut tidak tentu. Ini dapat diterangkan sebagai berikut:

Andaikanlah untuk $R=S=1$ keluaran flip-flop adalah $Q=1$. Untuk $Q=1$ dan $S=1$, maka $Q=0$. Tetapi karena $R=1$, maka Q juga harus 0 dan ini jelas berlawanan dengan pengandaian sebelumnya. Kalau diandaikan $Q=0$, maka juga $Q=0$ yang berarti bertentangan dengan sifat flip-flop. Karena itu, untuk flip-flop RS kombinasi masukan $R=S=1$ **dilarang (tabu)**.

Untuk flip-flop RS dengan NAND, kerjanya sama dengan flip-flop dengan NOR bila tegangan masukan rendah dianggap logik 1 dan tegangan masukan tinggi dianggap logik 0, artinya bila kita memakai logika negatif. Jadi tabel kebenaran untuk flip-flop dengan NAND dengan logika negatif akan tepat sama dengan tabel kebenaran untuk flip-flop dengan NOR. Untuk keseragaman uraian, maka yang umum dipakai untuk menyatakan kerja flip-flop RS adalah tabel kebenaran untuk rangkaian NOR.

Dalam hal tundaan waktu, karena setiap masukan hanya melalui satu gerbang, tundaan waktu untuk flip-flop RS yang disebutkan di atas dianggap sama dengan tundaan waktu 1 gerbang yang umumnya dalam besaran nano-detik (10^{-9} detik).

Dalam perencanaan sistem dengan flip-flop umumnya kita membutuhkan keadaan keluaran flip-flop itu setelah suatu kombinasi masukan tertentu dikenakan pada masukannya. Keadaan keluaran ini biasanya disebut sebagai "keadaan-berikut" (*next state*) dari flip-flop yang bersangkutan dan sering disimbol dengan Q^+ . Jadi, untuk keadaan-sekarang Q , maka keadaan-berikut Q^+ daripada flip-flop RS untuk bermacam-macam kombinasi masukan R dan S dapat dibuatkan tabel seperti yang ditunjukkan pada Gambar 6.4.

Perhatikan bahwa untuk kombinasi masukan yang sama, tetapi keadaan keluaran yang berbeda, keadaan-berikut dapat berbeda.

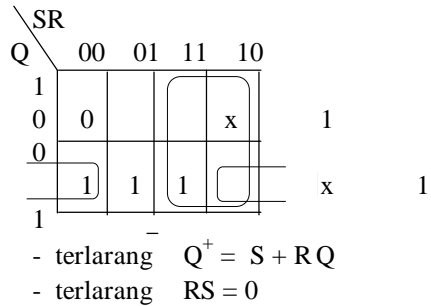
Dengan membuat peta Karnaugh dengan anggapan keluaran untuk kombinasi masukan yang terlarang sebagai abaikan (don't cares), dengan catatan masukan demikian telah dicegah dari luar, maka persamaan keadaan-berikut flip-flop RS diperoleh sebagai:

$$Q^+ = S + \bar{R}Q ; \quad RS = 0$$

Persamaan keadaan-berikut ini disebut persamaan karakteristik flip-flop RS. Syarat $RS = 0$ harus dipenuhi untuk menjamin bahwa masukan R dan S tidak akan pernah 1 secara bersama-sama.

S	R	Q	Q+
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	0
1	1	1	1

(a)



(b)

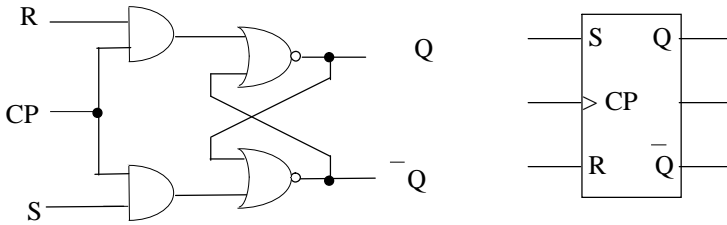
Gambar 6.4. Kedaan berikut dari pada flip-flop RS

(a) Tabel Kebenaran

(b) Peta Karnaugh

Kalau diperhatikan, dapat dilihat bahwa flip-flop RS yang diuraikan di atas akan berubah keluarannya setiap ada perubahan masukan. Jadi flip-flop ini merupakan rangkaian berurut yang tak-serempak (asynchronous), tanpa kelengkapan untuk menyerempakkannya dengan rangkaian lain. Untuk memperoleh flip-flop yang dapat bekerja serempak, perlu ditambahkan gerbang-gerbang untuk memungkinkan pemberian sinyal clock (penabuh) yang akan berfungsi menyerempakkan flip-flop itu, artinya keadaan flip-flop hanya akan berubah bila ditabuh (clocked) dengan sinyal/pulsa penabuh.

Flip-flop RS ditabuh diperoleh dengan menambahkan gerbang AND pada masukannya seperti ditunjukkan pada Gambar 6.5.



Gambar 6.5. Flip-flop RS ditabuh, rangkaian dan simbol

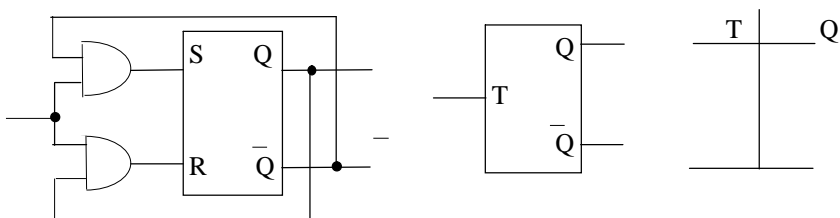
Dengan adanya gerbang AND tersebut, R dan S akan berkeadaan 0 bila pulsa penabuh CP (Clock Pulse) berkeadaan 1 dan flip-flop tidak akan berubah keadaan. Tanpa pulsa penabuh, artinya CP=0, maka apapun perubahan yang terjadi pada masukan R dan S tidak akan mengubah keadaan flip-flop. Rangkaian flip-flop itu akan merasakan keadaan R dan S hanya bila CP= 1. Tabel kebenaran flip-flop RS ditabuh ini untuk CP= 1 tepat sama dengan tabel kebenaran rangkaian dasar flip-flop RS.

Pada Gambar 6.5 juga ditunjukkan simbol flip-flop RS yang umum dipakai. Perlu dicatat bahwa dalam bentuk rangkaian terpadu banyak flip-flop RS yang diberikan kelengkapan untuk menyetel dan mereset flip-flop melalui masukan terpisah yang diberi nama masukan PRESET dan CLEAR, misalnya IC tipe SN74279 atau SN74LS279.

6.3 Flip-flop T

Nama flip-flop T diambil dari sifatnya yang selalu berubah keadaan setiap ada sinyal pemicu (trigger) pada masukannya. Input T merupakan satu-satunya masukan yang ada pada flip-flop jenis ini sedangkan keluarannya tetap dua, seperti semua flip-flop pada umumnya. Kalau keadaan keluaran flip-flop 0, maka setelah adanya sinyal pemicu keadaan-berikut menjadi 1 dan bila keadaannya 1, maka setelah adanya pemicuan keadaannya berubah menjadi 0. Karena sifat ini sering juga flip-flop ini disebut sebagai flip-flop toggle (berasal dari skalar toggle/pasak).

Flip-flop T dapat disusun dari satu flip-flop RS dan dua gerbang AND seperti ditunjukkan pada Gambar 6.6.



Q+	Q	0 0 0
		0 1 1
T	Q	1 0 1
		1 1 0

Gambar 6.6. Flip-flop T, rangkaian, simbol dan tabel keadaan-berikut.

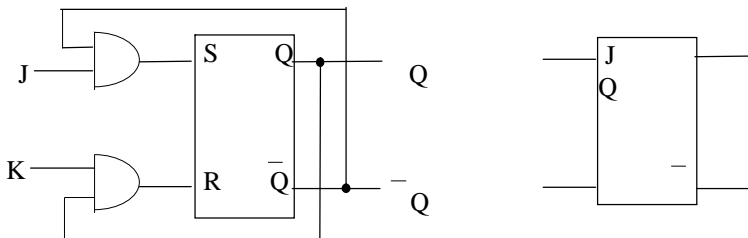
Perhatikan bahwa keluaran \bar{Q} di-AND-kan dengan masukan T untuk menghasilkan sinyal R dan keluaran Q di-AND-kan dengan T untuk menghasilkan sinyal S untuk flip-flop RS. Dalam Gambar 6.6 juga ditunjukkan tabel kebenaran keadaan-berikut atau tabel karakteristik. Dari tabel tersebut diperoleh persamaan karakteristik:

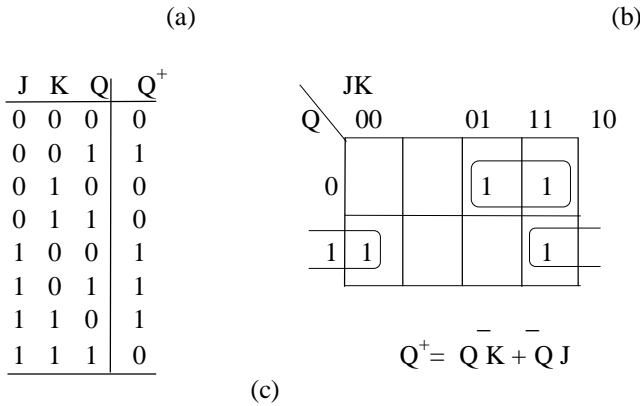
$$Q^+ = \bar{T} Q + T \bar{Q}$$

T = 0 dalam tabel keadaan-berikut pada Gambar 6.6 berarti tidak ada pulsa pemicu. Umumnya, flip-flop T peka hanya terhadap satu jenis perubahan pulsa apakah perubahan dari 0 ke 1, disebut sebagai sisi depan/naik (leading/rising edge) pulsa masukan, atau perubahan dari 1 ke 0, disebut sebagai sisi ikutan/turun (trailing/falling edge) pulsa masukan. Jenis perubahan pulsa naik disebut juga sebagai pulsa positif dan perubahan pulsa turun disebut sebagai pulsa negatif.

6.4 Flip-flop JK

Flip-flop JK yang diberi nama berdasarkan nama masukannya, yaitu J dan K. Flip-flop ini mengatasi kelemahan flip-flop RS, yang tidak mengizinkan pemberian masukan R=S= 1, dengan meng-AND-kan masukan dari luar dengan keluaran seperti dilakukan pada flip-flop T. Rangkaianannya ditunjukkan pada Gambar 6.7.





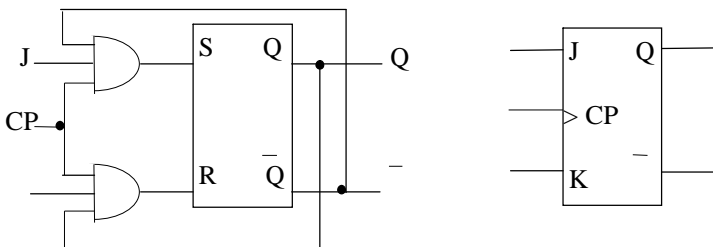
Gambar 6.7. Rangkaian dasar dan karakteristik flip-flop JK

Dengan susunan ini, maka masukan J dan K berfungsi tepat sama dengan masukan S dan R pada flip-flop RS, kecuali untuk J=K=1. Kalau pada flip-flop RS masukan R=S=1 terlarang, maka pada flip-flop JK, masukan J=K=1 akan membuat flip-flop JK berfungsi seperti flip-flop T.

Dari tabel keadaan-berikut yang ditunjukkan pada Gambar 6.7, dapat diperoleh bahwa persamaan keadaan-berikut, disebut juga persamaan karakteristik daripada flip-flop JK, yaitu:

$$Q^+ = \bar{Q} \bar{K} + \bar{Q} J$$

Seperti dapat dilihat dari persamaan ini, keadaan flip-flop akan berubah untuk setiap perubahan masukan J dan K. Ini berarti bahwa flip-flop JK ini bekerja tak serempak. Untuk memperoleh flip-flop JK yang dapat bekerja serempak dengan rangkaian lain perlu ditambahkan kelengkapan untuk penabuhan (clocking). Ini dapat dilakukan dengan meng-AND-kan pulsa CP (clock Pulse) dengan masukan K dan J seperti yang ditunjukkan pada Gambar 6.8. Perlu dicatat bahwa untuk flip-flop yang peka terhadap perubahan pulsa negatif, pada masukan CP diberikan lingkaran kecil seperti pada NOR dan NAND.



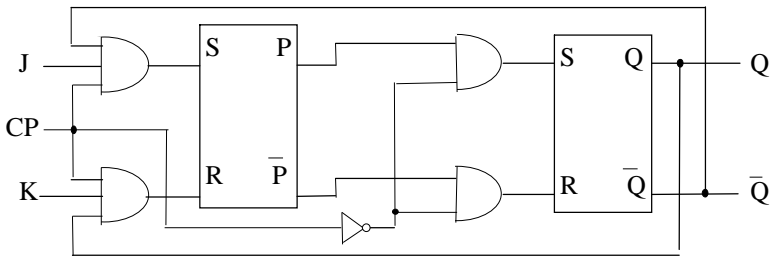
K

Q

Gambar 6.8. Rangkaian flip-flop JK ditabung

6.5 Flip-flop JK Induk-Budak

Suatu flip-flop JK induk-budak (Master-Slave JK flip-flop) disusun dari dua flip-flop RS, yang satu bertindak sebagai induk/tuan sedangkan yang lainnya bertindak sebagai budak/pengikut yang mengikuti keadaan keluaran flip-flop induk sesaat sesudah berlalunya perubahan keluaran itu. Perbedaan waktu perubahan keadaan induk dan budak ini terjadi karena adanya inverter antara pulsa penabuh untuk flip-flop induk dan masukan flip-flop budak, seperti ditunjukkan pada Gambar 6.9.



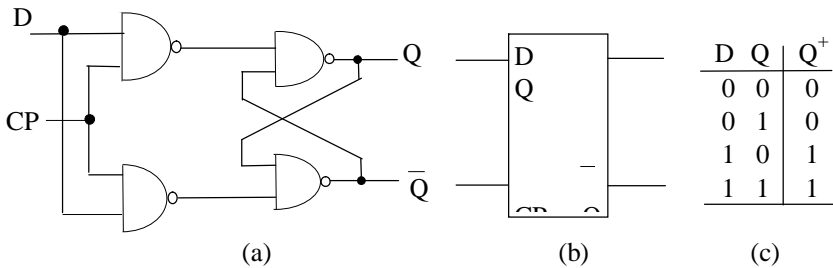
Gambar 6.9. Rangkaian Flip-flop Induk-Budak

Bila pulsa penabuh flip-flop induk berkeadaan 1, maka keluarannya akan berubah menurut keadaan masukan J dan K pada saat itu, sesuai dengan tabel pada Gambar 6.7 di depan. Tetapi, karena adanya inverter pada masukan flip-flop budak, maka masukan S dan R flip-flop budak itu akan tetap 0 dan keluarannya tidak mengalami perubahan. Tetapi pada saat penabuh induk kembali 0, yang berarti keluaran inverter menjadi 1, maka keluaran budak berubah menurut keadaan keluaran induk saat itu, yaitu keadaannya sesudah ditabung. Perhatikan bahwa bila penabuh berkeadaan 0 ($CP=0$, dan $CP=1$), maka gerbang-gerbang AND pada masukan budak menjadi aktif dan keluaran Q akan mengikuti keadaan P karena hanya ada dua kemungkinan kombinasi RS untuk budak, yaitu

RS= 10 atau RS= 01. Bila P= 1 maka RS= 01 dan Q menjadi 1 sedangkan bila P= 0, maka RS= 10 dan Q menjadi 0. Dengan susunan ini, dapat dijamin bahwa persamaan flip-flop $Q^+ = QK + QJ$ akan tetap dipenuhi sejauh keadaan J dan K hanya berubah di antara dua pulsa penabuh positif (selagi CP= 1). Bila J dan/atau K berubah selagi CP= 0, maka apa yang dipindahkan ke flip-flop budak adalah keadaan P akibat perubahan terakhir sebelum CP berubah menjadi 0.

6.6 Flip-flop D

Nama flip-flop ini berasal dari Delay. Flip-flop ini mempunyai hanya satu masukan, yaitu D. Jenis flip-flop ini sangat banyak dipakai sebagai sel memori dalam komputer. Pada umumnya flip-flop ini dilengkapi masukan penabuh seperti ditunjukkan pada Gambar 6.10. Keluaran flip-flop D akan mengikuti apapun keadaan D pada saat penabuh aktif, yaitu: $Q^+ = D$. Perubahan itu terjadi hanya apabila sinyal penabuh dibuat berlogika 1 (CP=1) dan tentunya akan terjadi sesudah selang waktu tertentu, yaitu selama tundaan waktu pada flip-flop itu. Bila masukan D berubah selagi CP = 0, maka Q tidak akan terpengaruh. Keadaan Q selama CP= 0 adalah keadaan masukan D tepat sebelum CP berubah menjadi 0. Dikatakan keadaan keluaran Q dipalng (latched) pada keadaan D saat perubahan CP dari aktif ke tak-aktif.



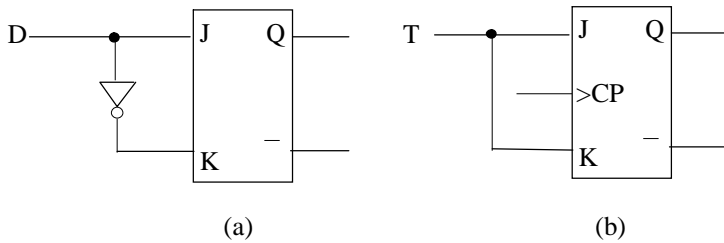
Gambar 6.10. Flip-flop D. (a) rangkaian dengan NAND, (b) simbol, (c) tabel kebenaran.

Dapat dilihat bahwa sebenarnya flip-flop D berfungsi seperti apa yang dilakukan oleh flip-flop JK bila masukan masukan K dihubungkan dengan komplemen masukan J.

6.7 Pembentukan Flip-flop dari Flip-flop lain

Dari uraian subbab-subbab sebelumnya dapat dilihat bahwa dasar dari semua flip-flop adalah flip-flop RS. Dalam prakteknya, ada kalanya perlu merealisasikan flip-flop tertentu daripada flip-flop yang tersedia, misalnya flip-flop yang dibutuhkan tidak tersedia atau dari serpih (chip) flip-flop yang digunakan masih ada sisa flip-flop dari jenis lain yang belum termanfaatkan.

Sebagaimana diuraikan di depan, flip-flop D dapat dibangun dari flip-flop JK dengan memberikan komplemen J sebagai masukan bagi K seperti yang ditunjukkan pada Gambar 6.11(a).



Gambar 6.11. Flip-flop D yang disusun dari flip-flop JK

Begitu juga flip-flop T dapat dibentuk dari flip-flop JK dengan menggabungkan masukan J dan K sebagai masukan T seperti ditunjukkan pada Gambar 6.11(b). Perhatikan bahwa bila $T=0$ akan membuat $J=K=0$ sehingga keadaan flip-flop tidak berubah. Tetapi bila $T=1$, $J=K=1$ akan membuat flip-flop beroperasi secara toggle.

6.8 Rangkuman Flip-flop

Dalam analisis dan perancangan rangkaian logika berurut selalu dibutuhkan persamaan karakteristik (persamaan keadaan-berikut) dan persamaan masukan flip-flop yang digunakan. Untuk memudahkan pengacuan dalam analisis dan perancangan rangkaian berurut yang akan dibahas dalam bab-bab selanjutnya, dalam Tabel 6.1 dirangkum watak dasar semua flip-flop yang telah dibahas dalam bab ini.

Tabel 6.1 Rangkuman karakteristik Flip-flop.

Jenis Flip-flop	Kadaan-berikut (Pers.Karakteristik)	Tabel Masukan								
RS (Set-Reset)	$Q^+ = S + \bar{R} Q$ $S R = 0$	<table border="1" style="margin-left: auto; margin-right: auto;"> <tr> <td>Q</td> <td>Q⁺</td> <td>R</td> <td>S</td> </tr> <tr> <td>0</td> <td>0</td> <td>x</td> <td>0</td> </tr> </table>	Q	Q ⁺	R	S	0	0	x	0
Q	Q ⁺	R	S							
0	0	x	0							

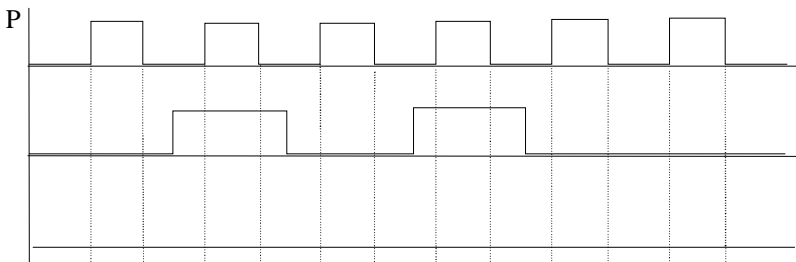
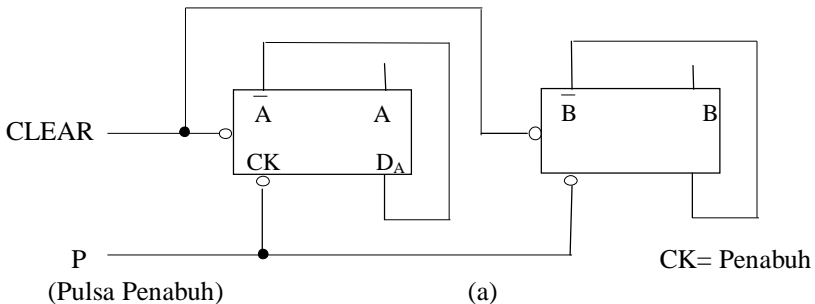
		0	1	0	1
		1	0	1	0
		1	1	0	x
J K	$Q^+ = J\bar{Q} + \bar{K}Q$	Q	Q ⁺	J	K
		0	0	0	x
		0	1	1	x
		1	0	x	1
		1	1	x	0
T (Toggle/ Triggered)	$Q^+ = \bar{T} \oplus \bar{Q}$	Q	Q ⁺	T	
		0	0	0	
			0	1	1
			1	0	1
			1	1	0
		$T = Q \oplus Q^+$			
D (Delay)	$Q^+ = D$	Q	Q ⁺	D	
		0	0	0	
		0	1	1	
		1	0	0	
		1	1	1	
		$D = Q^+$			

Flip-flop Induk-Budak (Master-Slave, MS) tidak disertakan karena karakteristiknya sama saja dengan flip-flop JK. Keadaan-berikut dalam Tabel 6.1 dinyatakan dalam bentuk persamaan keadaan-berikut (persamaan karakteristik) karena kombinasi ini sudah terdefinisi dengan pasti. Tetapi masukan diberikan dalam bentuk tabel karena kombinasi masukan untuk flip-flop RS dan JK mengandung suku abaikan (don't care) sehingga ada beberapa kemungkinan persamaan masukan yang memenuhi. Dalam penentuan persamaan masukan flip-flop pada umumnya lebih dibutuhkan karakteristik dalam bentuk tabel ini.

6.9 Soal Latihan

1. Tentukanlah rangkaian yang membuat flip-flop JK berfungsi sebagai:
 - a. flip-flop D
 - b. flip-flop T
2. Tentukanlah rangkaian yang mengubah flip-flop D berfungsi sebagai flip-flop JK.
3. Jelaskanlah apa keuntungan penggunaan flip-flop induk budak sehingga banyak digunakan walaupun menggunakan lebih banyak gerbang !

4. Flip-flop yang mempunyai masukan G dan L, dinamakan flip-flop GL, yang disebut juga pemalang ditabuh (gated latch), mempunyai sifat bahwa keadaan flip-flop tidak berubah bila $G=0$ dan keadaan-berikut mengikuti (sama dengan) keadaan L bila $G=1$. Tentukanlah persamaan keadaan yang menerangkan keadaan-berikut untuk setiap kombinasi antara G, L dan keluarannya. Buatlah rangkaian logika yang akan mengubah flip-flop RS menjadi flip-flop GL.
5. Rencanakanlah rangkaian logika yang harus ditambahkan di depan suatu flip-flop RS sehingga keadaan flip-flop itu dapat dibuat 0 dengan membuat masukan CLEAR (C) = 0 dan dibuat 1 dengan membuat masukan PRESET (P) = 0 secara terpisah dari masukan R dan S. Andaikanlah P dan C tak pernah berkeadaan 0 secara bersamaan.
6. Tentukanlah persamaan karakteristik flip-flop JK yang mempunyai masukan kontrol PRESET (P) dan CLEAR (C). Masukan $P=0$ akan mengubah keadaan flip-flop menjadi 1 dan masukan $C=0$ membuatnya berkeadaan 0. Andaikanlah P dan C tak pernah berkeadaan 0 secara bersamaan.
7. Gambarkanlah bentuk gelombang masukan R dan S untuk flip-flop RS ditabuh, disertai gelombang penabuhnya, yang akan membuat keluarannya berkeadaan 1101 secara berturut-turut untuk 4 penabuh pertama, tetap untuk 3 penabuh berikutnya diikuti 101 untuk 3 penabuh terakhir.
8. Dua buah flip-flop D dengan kendali CLEAR dihubungkan seperti pada Gambar S8.8 (a). Tentukanlah bentuk gelombang keluaran flip-flop A dan B untuk gelombang masukan yang diberikan pada Gambar S8.8 (b). Pada awal diagram waktu ditunjukkan bahwa A dan B berkeadaan 0 karena CLEAR rendah (= 0).



C

A

B

t

(b)

Gambar S6.8 Rangkaian (a) dan gelombang (b) untuk soal nomor 8.