

# RANGKAIAN BERURUT (Sequential)

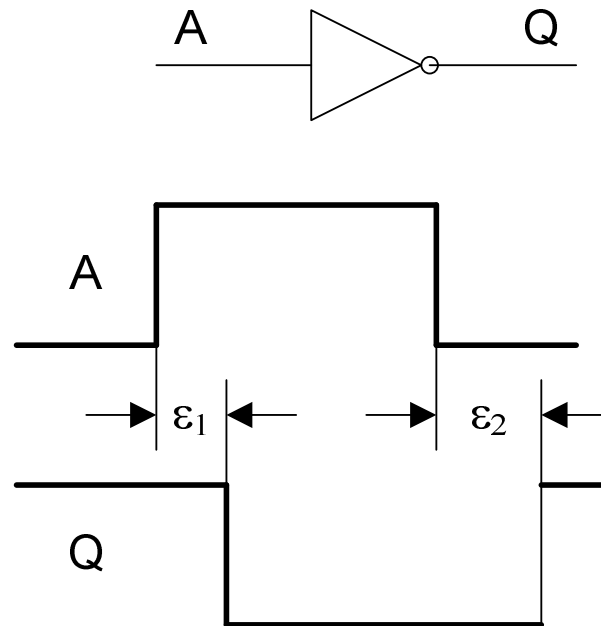
Terdiri dari :

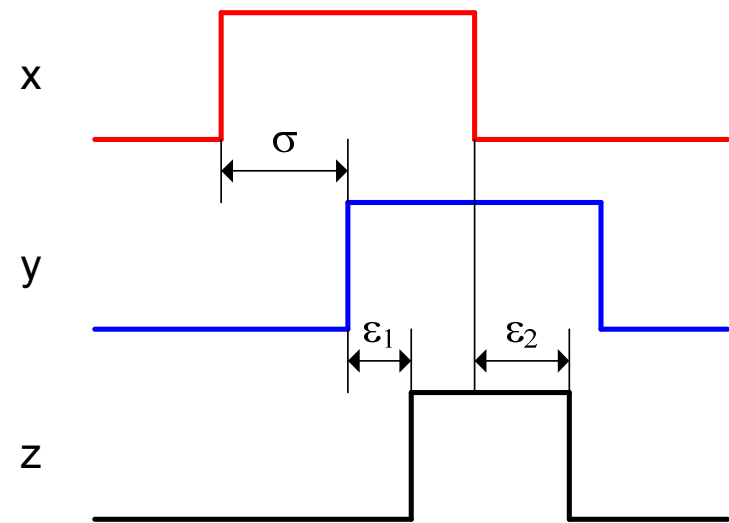
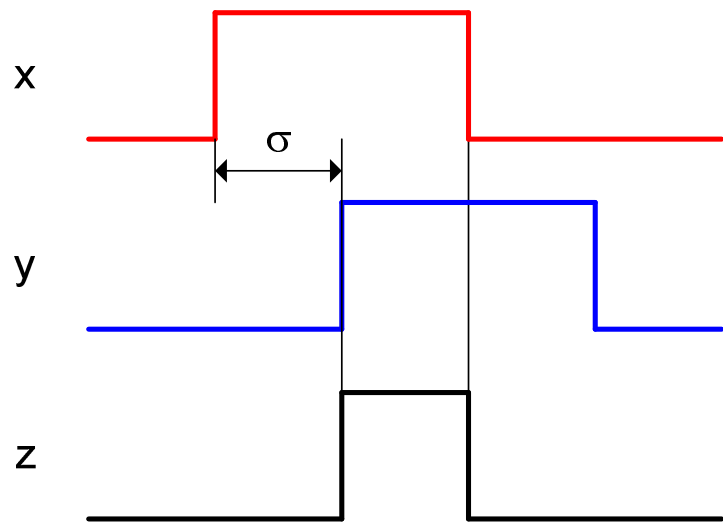
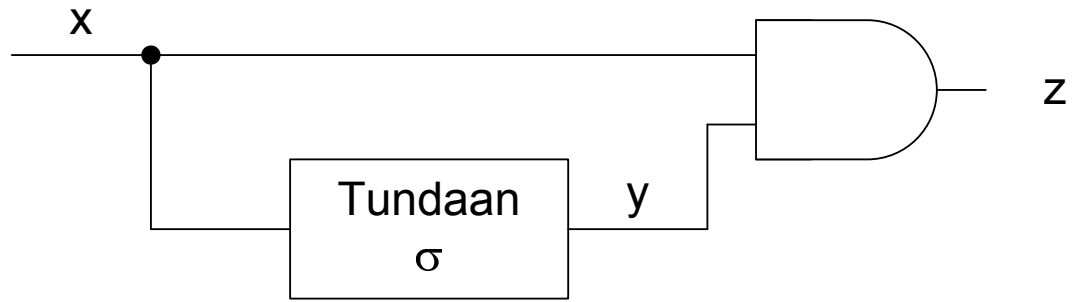
- Rangkaian Serempak (Synchronous)  
Perubahan keadaan terjadi pada saat yang ditentukan.
- Rangkaian Tak Serempak (Asynchronous)  
Perubahan keadaan terjadi sesuai dengan perubahan pada masukan.

Oleh karena itu, tundaan waktu akan berpengaruh sehingga perubahan keadaan dari setiap bagian terjadi tidak serempak sehingga dapat menyebabkan apa yang dikenal sebagai Race Condition sehingga tidak stabil.

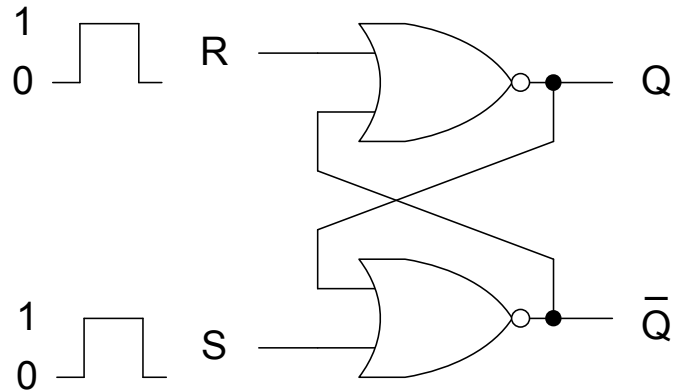
# Tundaan Waktu

Suatu sinyal pada komponen elektronika umumnya membutuhkan waktu untuk bergerak dari masukan ke keluaran. Waktu ini disebut Time Delay (waktu tunda) atau Propagation Delay (waktu rambat).

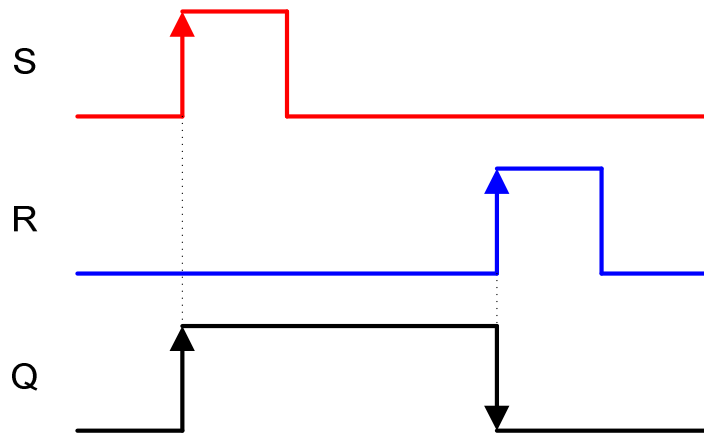




# Flip-flop dengan gerbang NOR

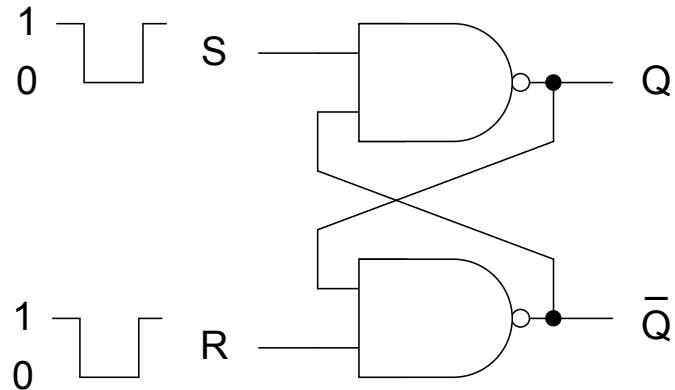


S	R	Q	$\bar{Q}$	STATE
0	0	Q-	$\bar{Q}$ -	No change
0	1	0	1	Reset
1	0	1	0	Set
1	1	-	-	Not allowed

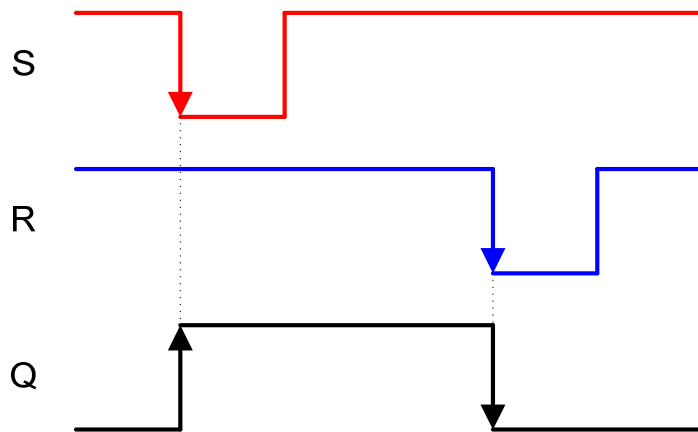


Untuk mengubah keadaan, masukan R atau S harus dinaikkan sesaat ke logika 1. Selanjutnya kedua masukan harus selalu berlogika-0.

# Flip-flop dengan gerbang NAND

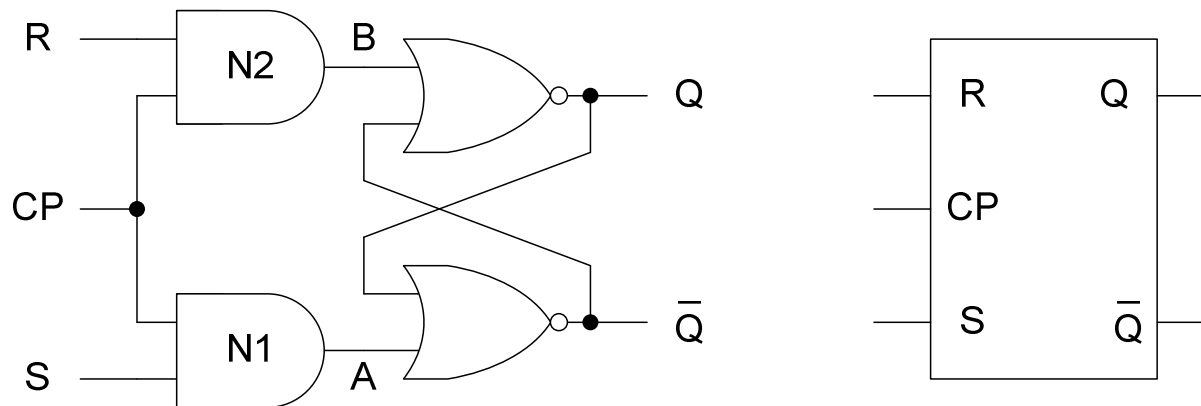


S	R	Q	$\bar{Q}$	STATE
0	0	-	-	Not allowed
0	1	0	1	Set
1	0	1	0	Reset
1	1	Q-	$\bar{Q}$ -	No change



Untuk mengubah keadaan, masukan R atau S harus diturunkan sesaat ke logika 0. Selanjutnya kedua masukan harus selalu berlogika-1.

# Clocked RS Flip-flop



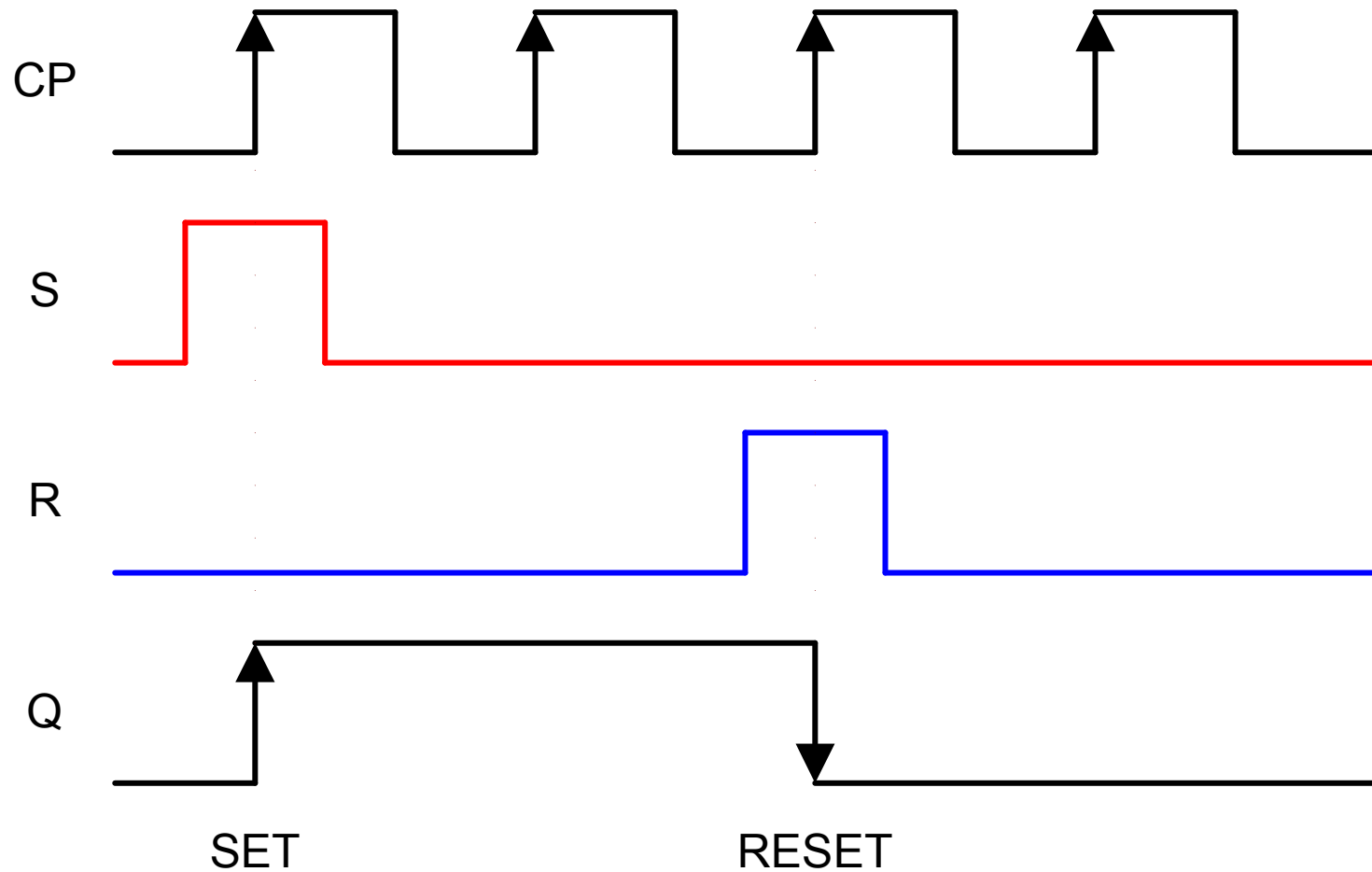
Keluaran N1 (A) akan tinggi jika  $S = CP = 1$ . Ini akan men-set flip-flop.

Keluaran N2 (B) akan tinggi jika  $R = CP = 1$ . Ini akan me-reset flip-flop.

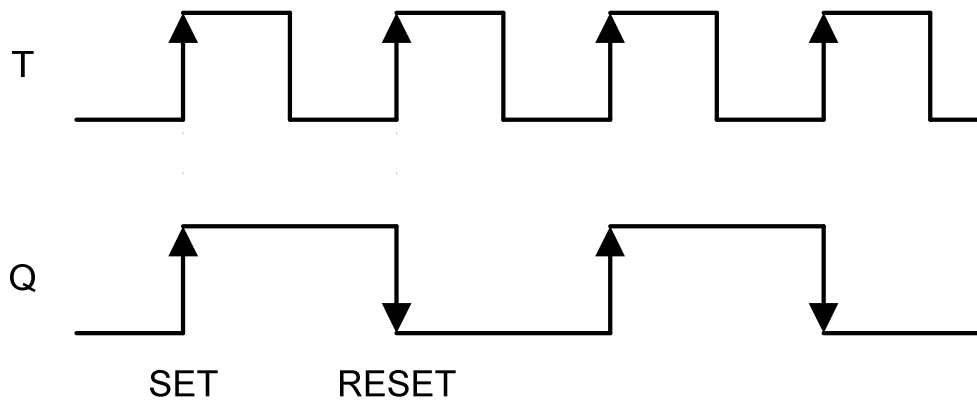
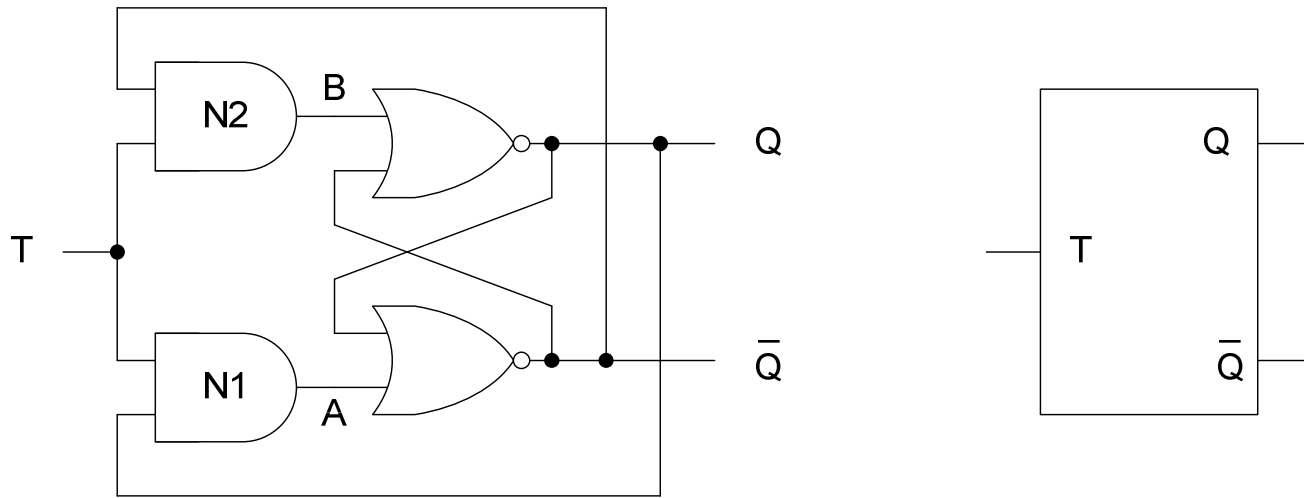
Keadaan flip-flop akan berubah pada peralihan CP dari 0 ke 1. Flip-flop akan SET jika  $S = 1$  dan RESET jika  $R = 1$ . Begitu pula sebaliknya.

Pada flip-flop RS ini, masukan R dan S **tidak boleh** bernilai 1 pada saat yang sama.

# Timing Diagram Flip-flop RS



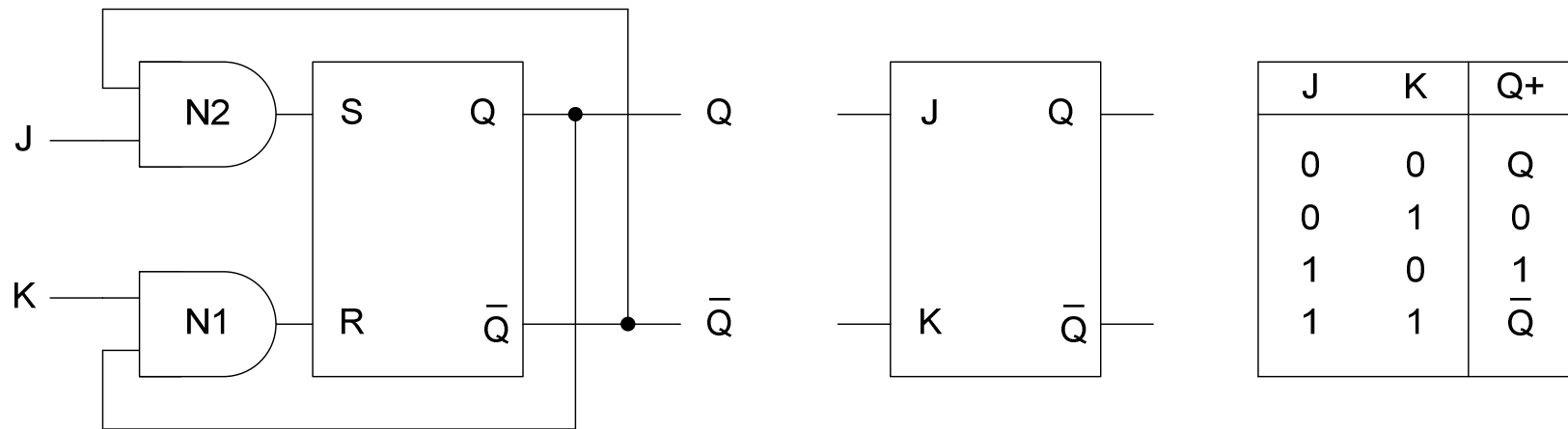
# Flip-flop T



$$Q_+ = \bar{Q}$$



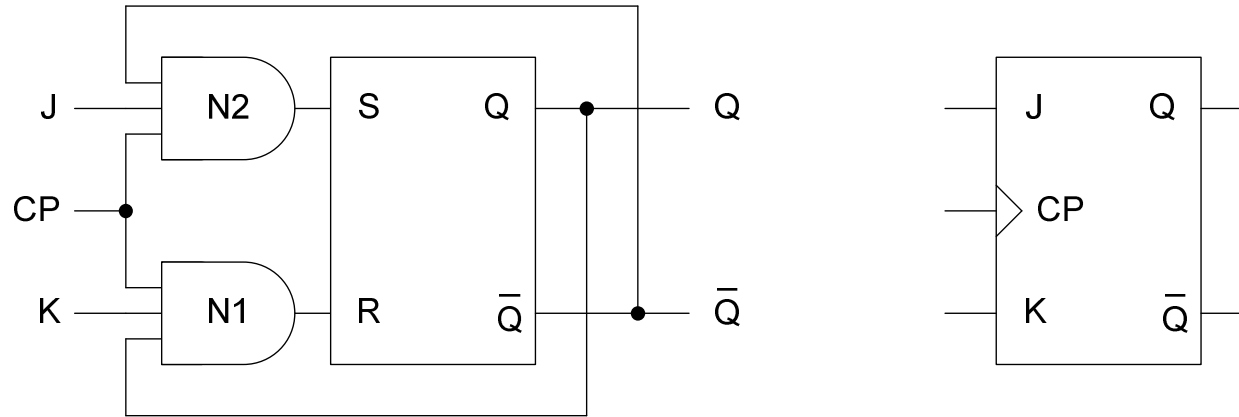
# Flip-flop JK



J = 1 akan men-set flip-flop  
K = 1 akan me-reset flip-flop

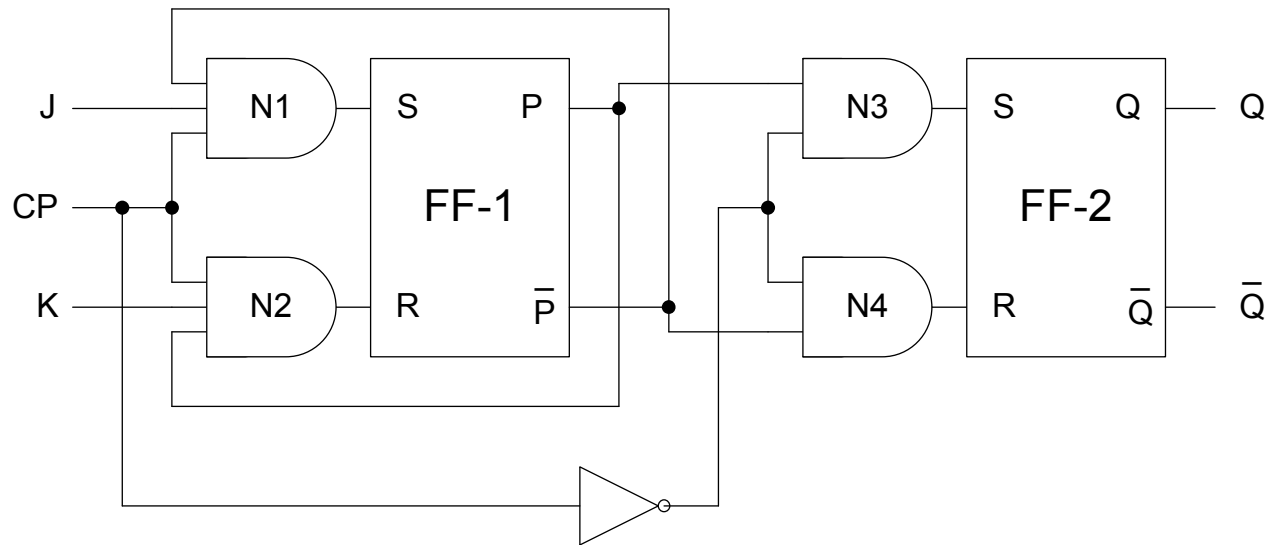
Berbeda dengan flip-flop RS, flip-flop JK mengizinkan masukan J = K = 1. Hal ini akan mengakibatkan flip-flop toggle (berganti keadaan), SET → RESET atau sebaliknya.

# Clocked JK Flip-flop



Kerjanya sama dengan flip-flop JK tanpa clock, tetapi perubahan keadaan terjadi pada transisi CP dari 0 ke 1.

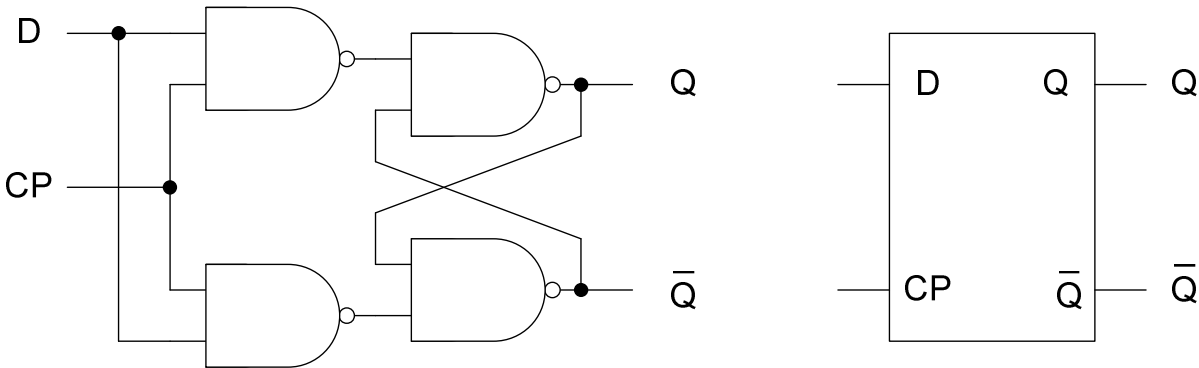
# Master Slave JK Flip-flop



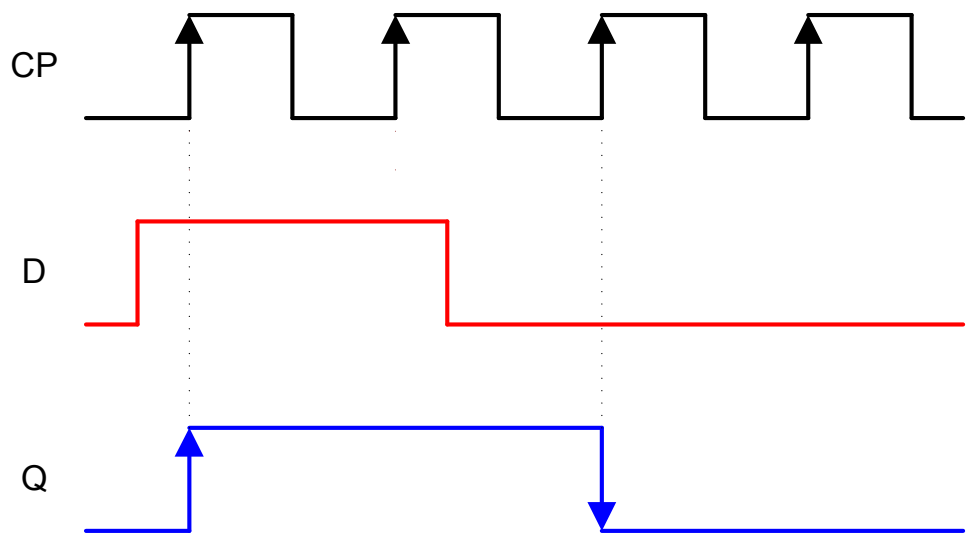
Pada transisi naik dari clock, data direkam oleh flip-flop FF-1.

Pada transisi turun dari clock, data yang telah direkam oleh flip-flop FF-1, direkam oleh flip-flop FF-2.

# Flip-flop D



$$Q^+ = D$$



# Pembentukan flip-flop dari flip-flop lain

