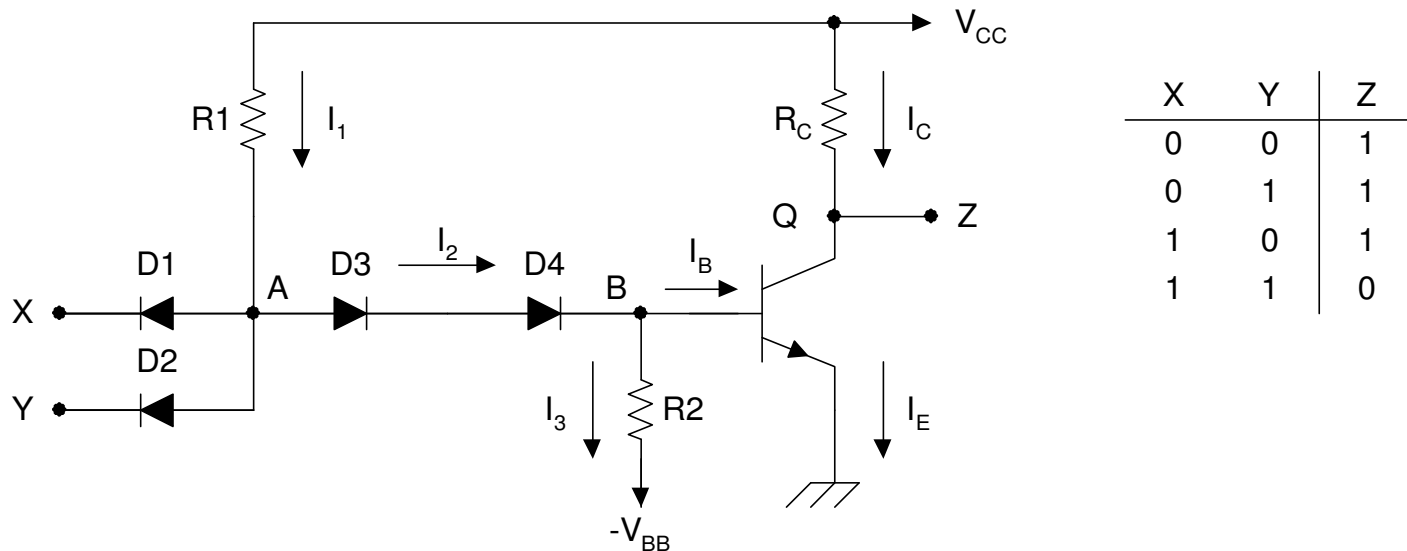


# DIODE TRANSISTOR LOGIC (DTL)

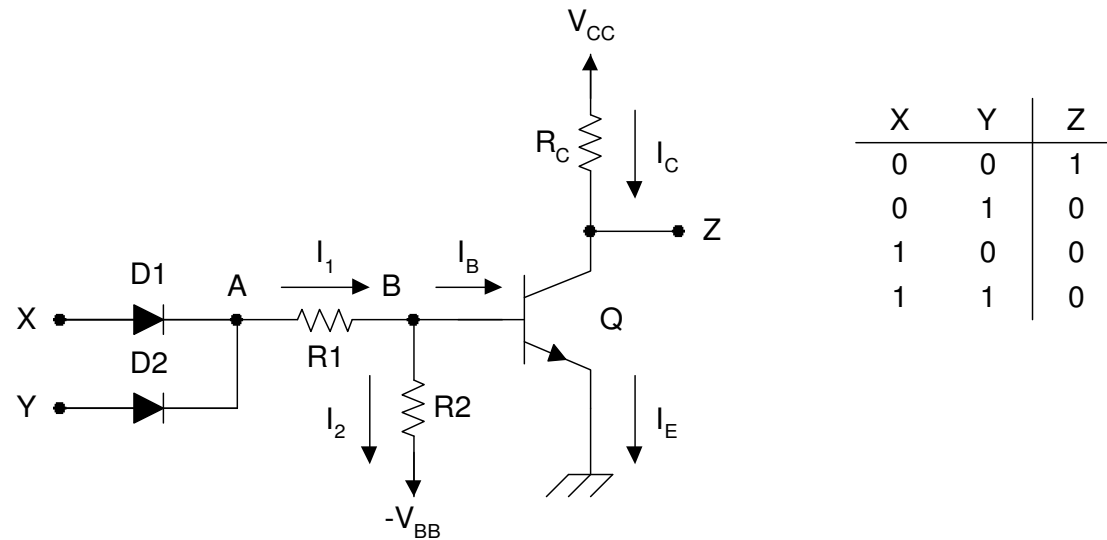
## Rangkaian NAND



Gambar 1.4. Rangkaian NAND rumpun DTL

Jika masukan  $X$  dan  $Y$  keduanya tinggi maka dioda  $D_1$  dan  $D_2$  akan menyumbat sehingga  $I_B \cong I_2 = I_1$  akan membuat transistor menjadi jenuh. Jika masukan  $X$  dan  $Y$  salah satu atau keduanya rendah maka  $I_2 = 0$  sehingga  $I_B = 0$  dan transistor akan menyumbat. Akibatnya keluaran  $Z$  akan rendah.

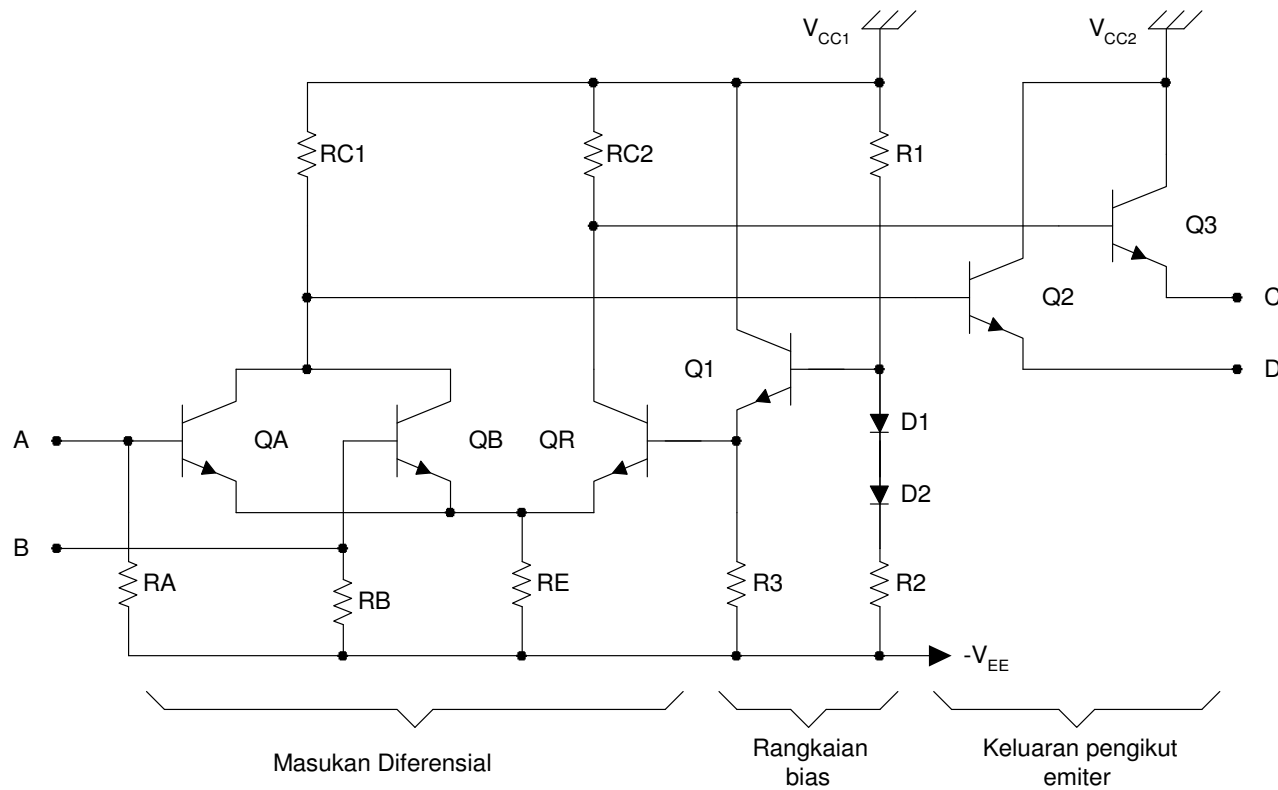
## Rangkaian NOR



Gambar 1.5. Rangkaian NOR rumpun DTL

Jika salah satu atau kedua masukan tinggi maka transistor akan jenuh karena mendapat arus basis dari R1. Akibatnya keluaran Z menjadi rendah. Sebaliknya jika kedua masukan rendah maka transistor akan menyumbat karena mendapat  $I_B = 0$ .

# Emitter Coupled Logic (ECL)

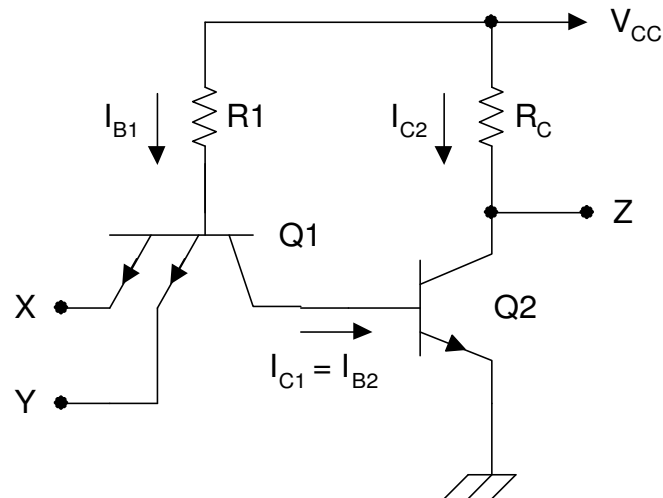


Gambar 1.10. Rangkaian ECL

ECL (Emitter Coupled Logic) adalah yang paling cepat dari semua piranti logika. Hal ini dimungkinkan dengan mengoperasikan pirantinya diluar daerah jenuh dengan simpangan tegangan yang kecil.

# Transistor Transistor Logic (TTL)

Rumpun ini menggunakan transistor bipolar sebagai piranti aktifnya. Bagian masukan umumnya menggunakan transistor dengan emiter ganda, seperti diperlihatkan pada Gambar 1.6.



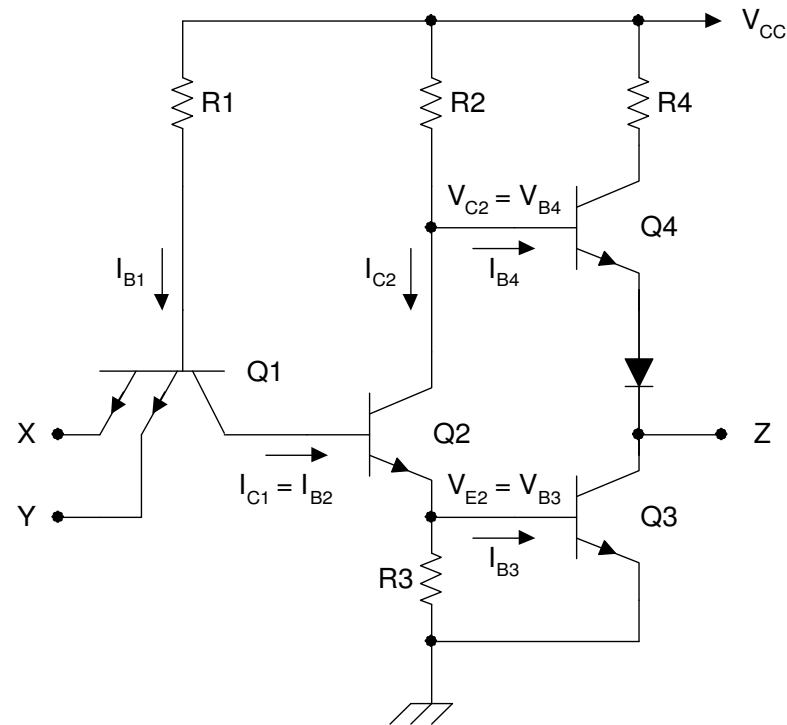
Gambar 1.6. Rangkaian dasar TTL

Transistor ini dapat dianggap sebagai transistor dengan emiter tunggal yang dilengkapi dengan sejumlah dioda pada emiternya.

Rangkaian keluaran TTL terdiri dari :

- Totem-pole
- Kolektor terbuka

## Keluaran Totem-pole



Gambar 1.7. Rangkaian TTL dengan keluaran Totem-pole

Disebut Totem-pole karena menggunakan dua transistor yang ditumpuk pada bagian keluarannya seperti diperlihatkan pada Gambar 1.7.

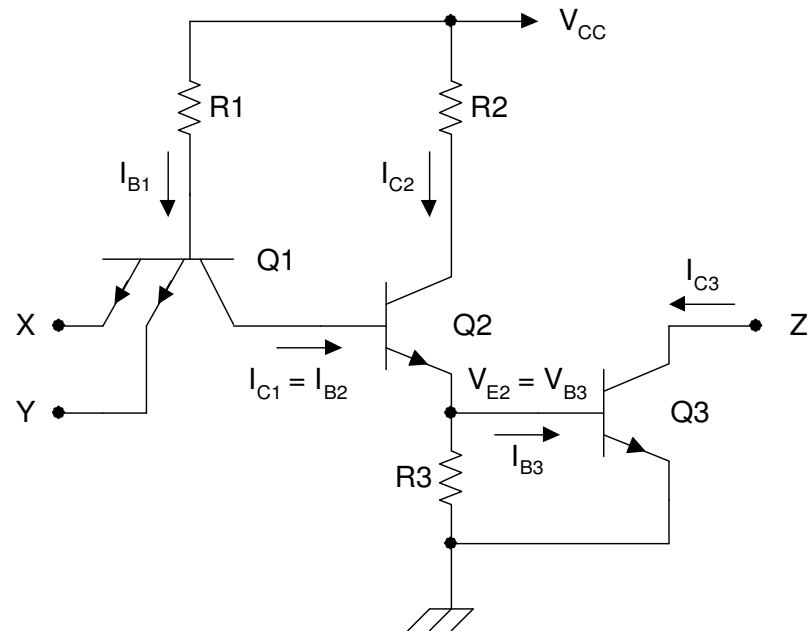
Q4 berfungsi sebagai penguat common collector dan Q3 berfungsi sebagai penguat common emitter. Q2 berfungsi sebagai penggerak yang menghasilkan sinyal komplemen sehingga Q3 dan Q4 akan menghantar secara bergantian.

Jika salah satu atau kedua masukan rendah maka Q2 tidak menghantar sehingga kolektornya akan tinggi sedangkan emiternya rendah. Akibatnya Q4 menghantar sedangkan Q3 menyumbat sehingga keluaran Z akan tinggi.

Sebaliknya jika kedua masukan tinggi maka Q2 akan menghantar sehingga sebagian arus emiternya akan menjadi  $I_{B3}$  sehingga Q3 akan menghantar. Jika Q2 jenuh  $V_{C2} = V_{B4} \approx V_{E2}$  sehingga Q4 akan menyumbat dan keluaran Z akan rendah.

## Keluaran Kolektor terbuka

Rangkaian ini dapat dilihat pada Gambar 1.8.

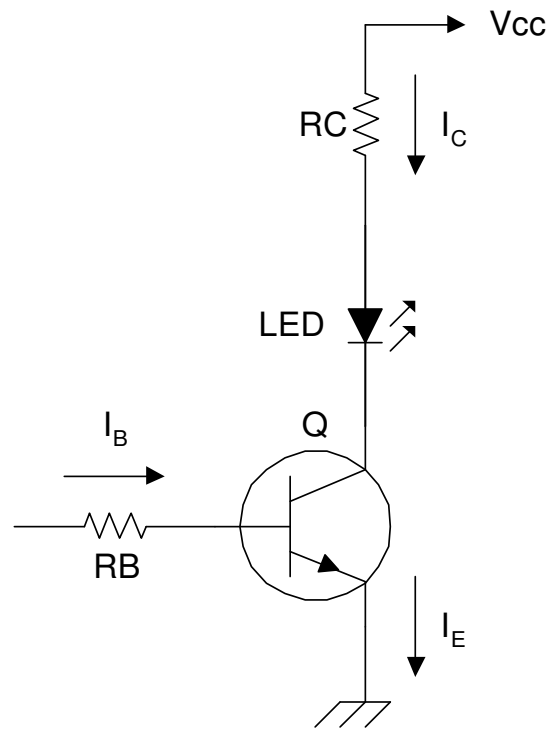


Gambar 1.8. Rangkaian TTL dengan keluaran kolektor terbuka

Karena menggunakan keluaran dengan kolektor terbuka maka jelas keluaran ini hanya mampu untuk menyedot arus (sink). Agar mampu untuk mensuplai arus, dibutuhkan *pull up resistor*.

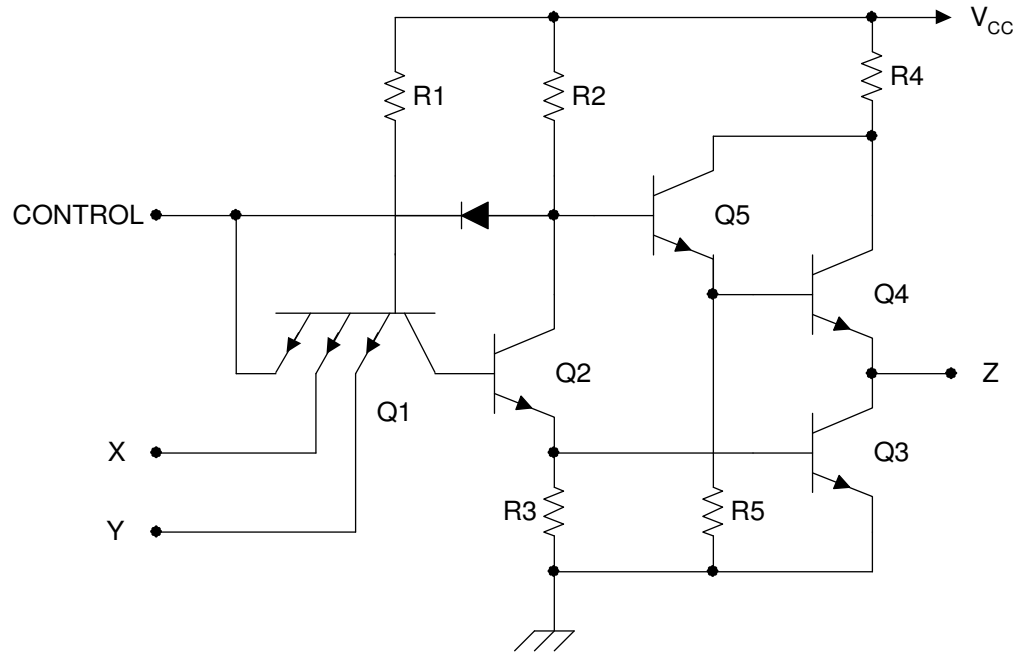
Keluaran rangkaian ini umumnya digunakan sebagai switch atau *driver*. Contoh penggunaan ialah sebagai *driver* untuk LED.

Rangkaian ini mempunyai kekurangan, yaitu kelambatan perubahan keluaran dari logika 0 ke logika 1 yang disebabkan oleh integrator yang terbentuk oleh tahanan kolektor (eksternal) dengan kapasitansi beban.





## Keluaran Tri-state



Gambar 1.9. Rangkaian TTL dengan keluaran tri-state

Bila control berlogika 1 maka keluaran akan berfungsi sebagai rangkaian totem-pole tetapi jika control berlogika rendah maka seluruh transistor akan menyumbat sehingga keluaran memiliki impedansi yang sangat besar.

## **Istilah-istilah penting :**

### **Arus**

- $I_{CC}$  : Arus catuan rata-rata
- $I_{CCH}$  : Arus catuan pada saat keluaran tinggi
- $I_{CCL}$  : Arus catuan pada saat keluaran rendah
- $I_{IH}$  : Arus masukan logika tinggi
- $I_{IL}$  : Arus masukan logika rendah
- $I_{OH}$  : Arus keluaran logika tinggi
- $I_{OL}$  : Arus keluaran logika rendah

### **Tegangan**

- $V_{CC}$  : Tegangan catuan
- $V_{IH}$  : Tegangan masukan logika tinggi
- $V_{IH(\text{Min})}$  : Tegangan masukan logika tinggi minimum
- $V_{IL}$  : Tegangan masukan logika rendah
- $V_{IL(\text{Max})}$  : Tegangan masukan logika rendah maksimum

- $V_{OL}$  : Tegangan keluaran logika rendah  
 $V_{OH}$  : Tegangan keluaran logika tinggi  
 $V_{OL(Max)}$  : Tegangan keluaran logika rendah maksimum  
 $V_{OH(Min)}$  : Tegangan keluaran logika tinggi minimum

### **AC Switching Parameters**

- $f_{max}$  : frekuensi maksimum  
 $t_{PLH}$  : Tundaan peralihan rendah ke tinggi  
 $t_{PHL}$  : Tundaan peralihan tinggi ke rendah  
 $t_W$  : lebar pulsa  
 $t_h$  : waktu hold  
 $t_s$  : waktu set-up

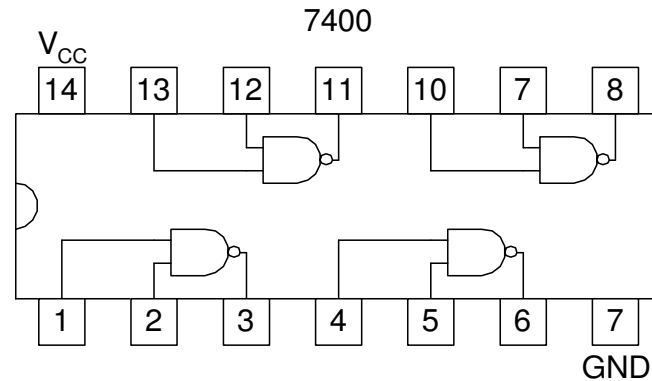
### **Spesifikasi Umum TTL**

- Tegangan Catuan ( $V_{CC}$ ) : 5 VDC  $\pm$  5%  
Tegangan keluaran logika 0 ( $V_{OL}$ ) : 0,2 V  
Tegangan keluaran logika 1 ( $V_{OH}$ ) : 3,0 V  
Kekebalan derau : 1,0 V

Series	Output State	Characteristic	
		Standard Totem-pole or Darlington output	Each standard input emitter
54 / 74	Logical 1	$I_{\text{load}} = -400\mu\text{A}$ $V_{\text{OH}} = 2.4\text{V min}$	$I_{\text{IH}} = 40\mu\text{A max}$ at $V_{\text{in}} = 2,4\text{V}$
	Logical 0	$I_{\text{sink}} = 16\text{mA}$ $V_{\text{OL}} = 0,4\text{V max}$	$I_{\text{IL}} = -1.6\text{mA max}$ at $V_{\text{in}} = 0.4\text{V}$
54H / 74H	Logical 1	$I_{\text{load}} = -500\mu\text{A}$ $V_{\text{OH}} = 2.4\text{V min}$	$I_{\text{IH}} = 50\mu\text{A max}$ at $V_{\text{in}} = 2,4\text{V}$
	Logical 0	$I_{\text{sink}} = 20\text{mA}$ $V_{\text{OL}} = 0,4\text{V max}$	$I_{\text{IL}} = -2\text{mA max}$ at $V_{\text{in}} = 0.4\text{V}$
54L/74L	Logical 1	$I_{\text{load}} = -100\mu\text{A}$ $V_{\text{OH}} = 2.4\text{V min}$	$I_{\text{IH}} = 10\mu\text{A max}$ at $V_{\text{in}} = 2,4\text{V}$
	Logical 0	$I_{\text{sink}} = 2\text{mA}$ $V_{\text{OL}} = 0,4\text{V max}$	$I_{\text{IL}} = -0.18\text{mA max}$ at $V_{\text{in}} = 0.4\text{V}$

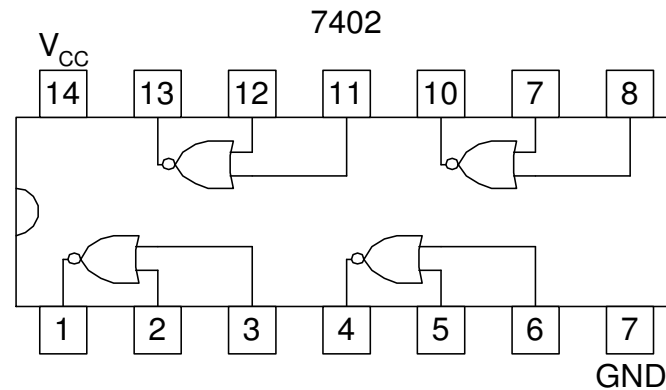
## Spesifikasi 7400 Quad 2-input NAND Gate

Fan-In	: 1.0
Fan-out	: 10.0
$I_{CCH}$	: 8 mA
$I_{CCL}$	: 22 mA
$t_{PLH}$	: 22 nS
$T_{PHL}$	: 15 nS

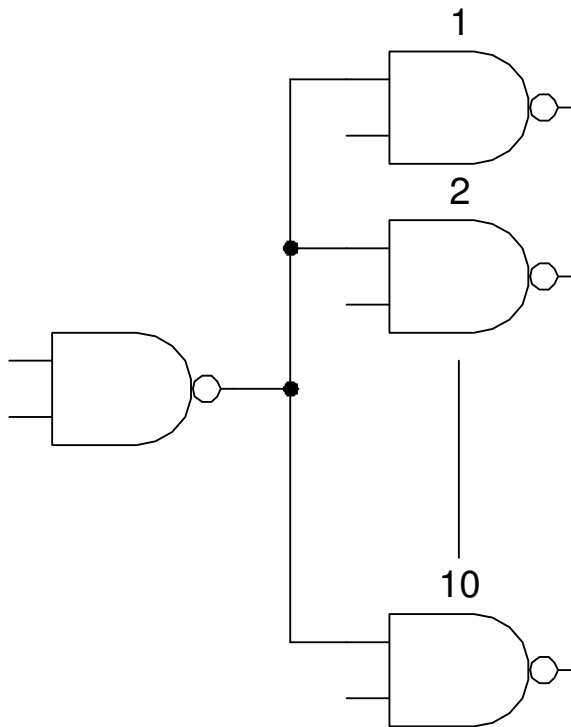


## Spesifikasi 7402 Quad 2-input NOR Gate

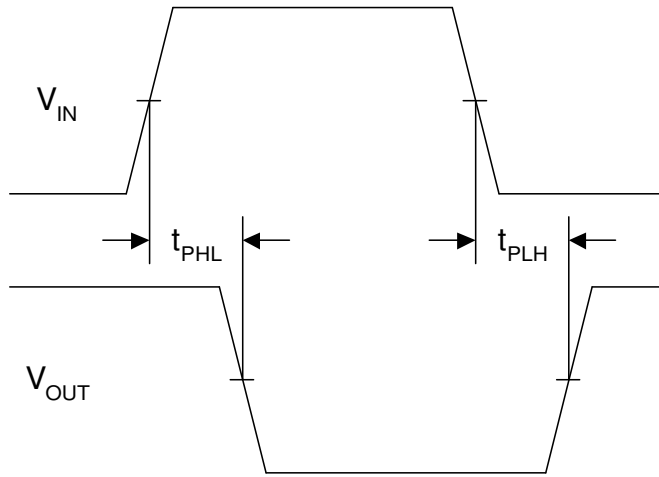
Fan-In	: 1.0
Fan-out	: 10.0
$I_{CCH}$	: 16 mA
$I_{CCL}$	: 27 mA
$t_{PLH}$	: 15 nS
$T_{PHL}$	: 15 nS



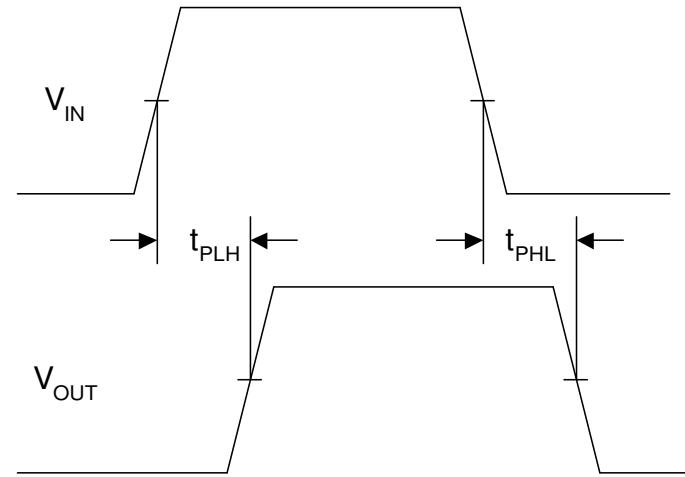
Dari data diatas dapat dilihat bahwa satu gerbang NAND dapat mendrive sampai 10 gerbang NAND atau NOR maksimum.



## Tundaan Propagasi (Propagation Delay)

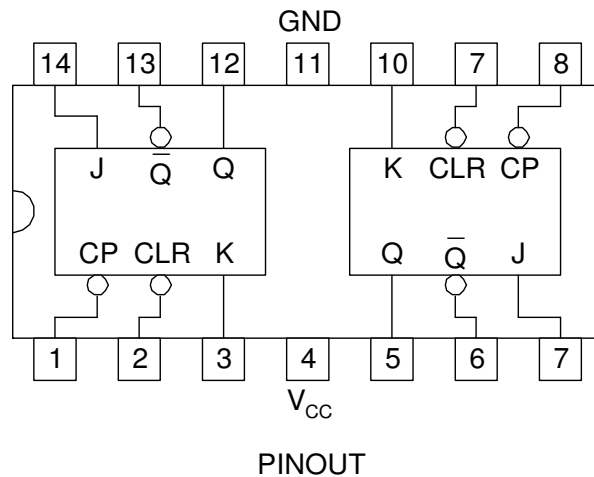


Fungsi Membalik

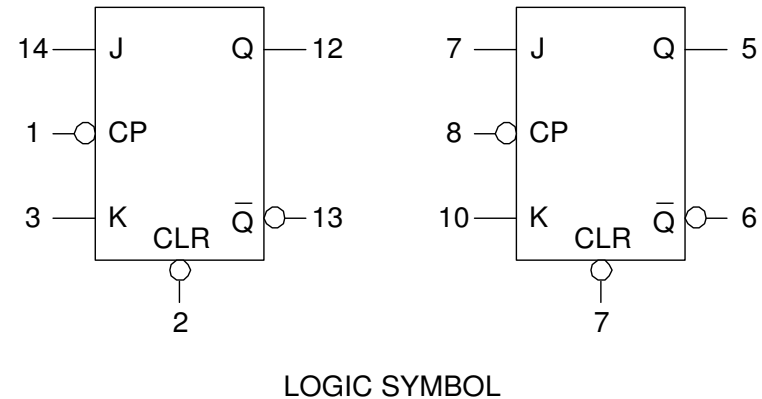


Fungsi Tak Membalik

## 7473 Dual JK Flipflop



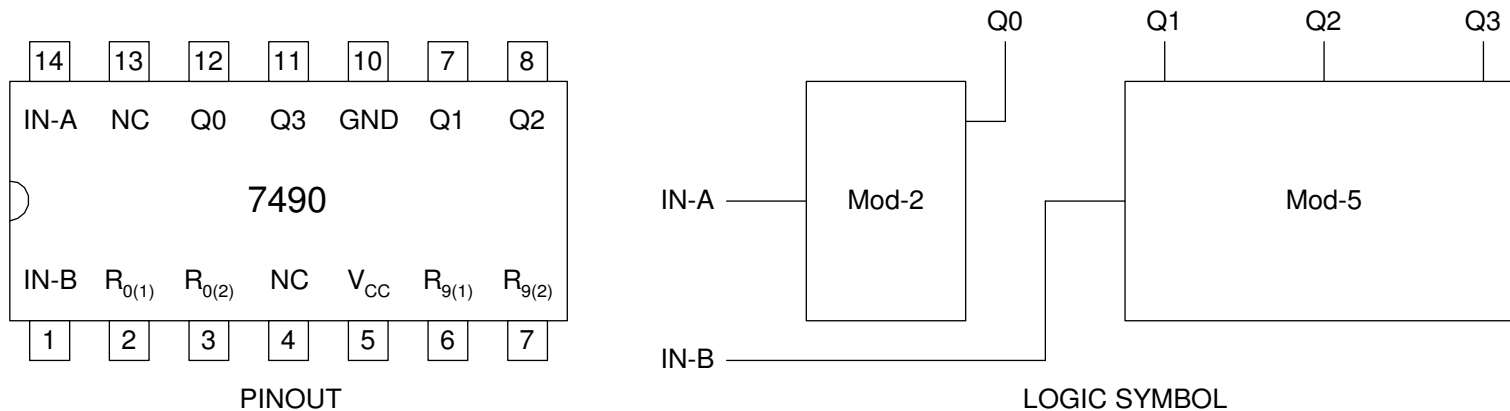
7473



Terdiri dari dua buah JK flipflop yang independen. Masing-masing dilengkapi dengan masukan CLR (clear) untuk me-reset flipflop terlepas dari nilai masukan Cp, J dan K.



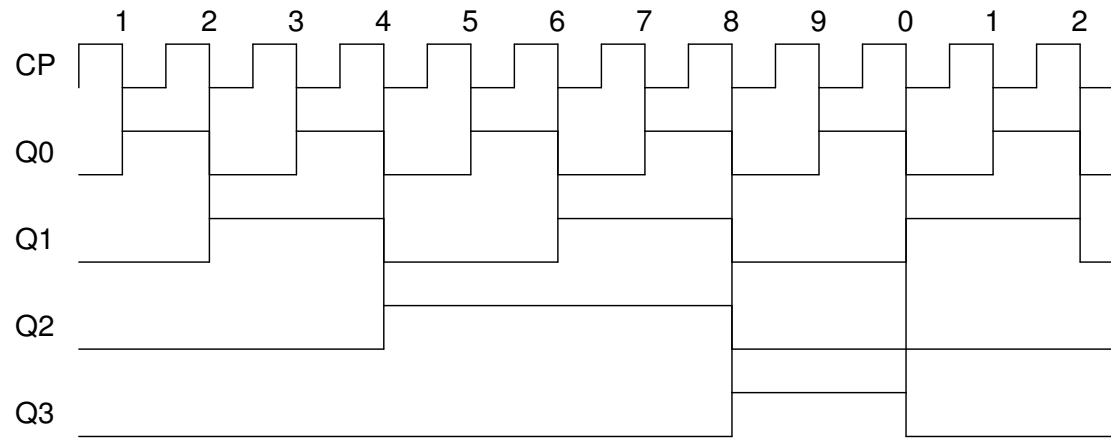
# 7490 BCD Counter



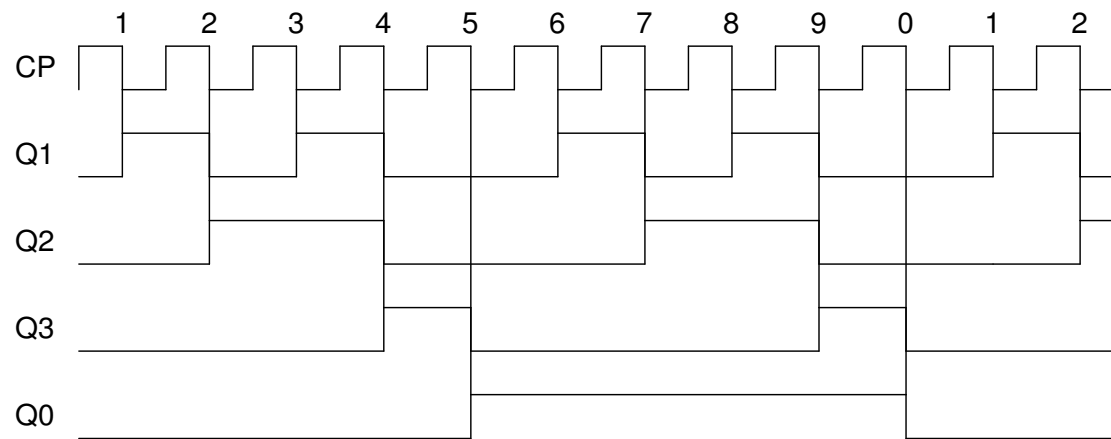
Terdiri dari dua buah pencacah (counter). Pencacah pertama adalah pencacah modulus-2 sedangkan pencacah kedua adalah pencacah modulus-5.

Jika Q0 dihubungkan ke IN-B dan dipicu dari IN-A maka pencacah akan berfungsi sebagai pencacah BCD.

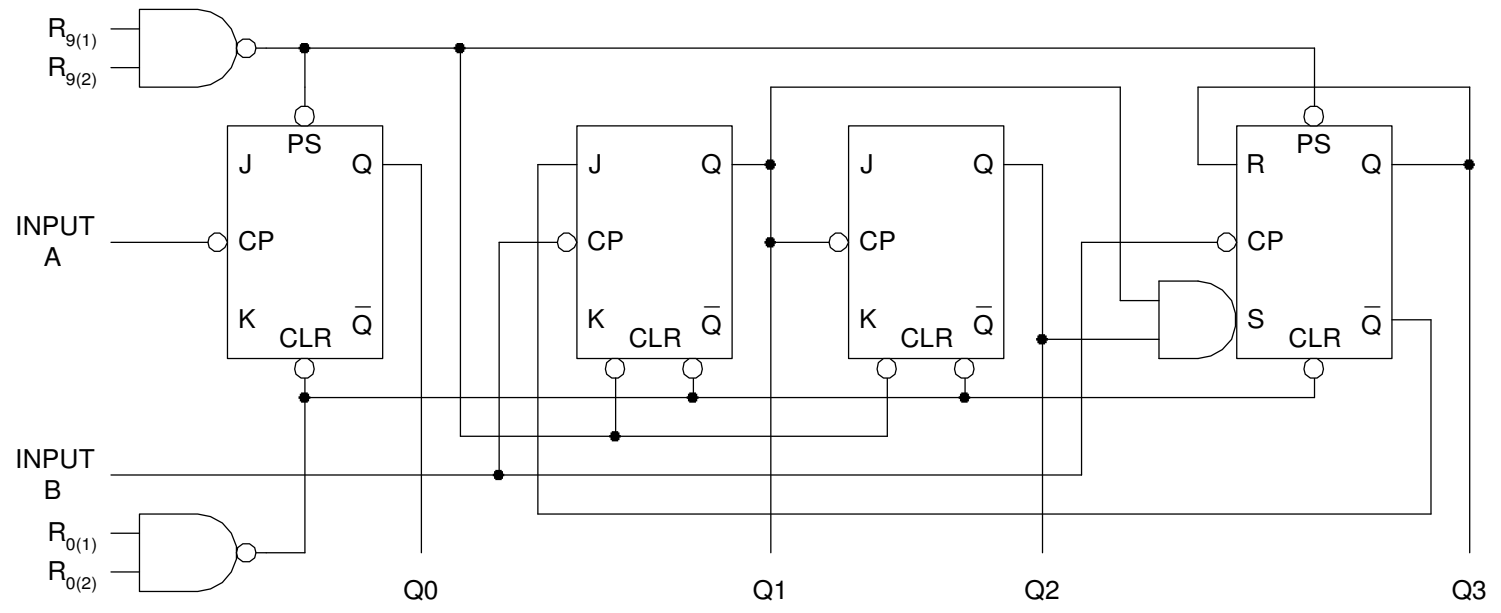
Jika Q3 dihubungkan ke IN-A dan dipicu dari IN-B maka pencacah akan berfungsi sebagai pembagi-10 yang simetri.



TIMING DIAGRAM PENCACAH BCD



TIMING DIAGRAM PEMBAGI-10



LOGIC DIAGRAM